

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Offenlegungsschrift
10 DE 199 25 374 A 1

51 Int. Cl.⁶:
H 03 K 19/094
// G06F 1/32

21 Aktenzeichen: 199 25 374.9
22 Anmeldetag: 2. 6. 99
43 Offenlegungstag: 16. 12. 99

DE 199 25 374 A 1

30 Unionspriorität:
096489 11. 06. 98 US

71 Anmelder:
Siemens Microelectronics, Inc., Cupertino, Calif.,
US

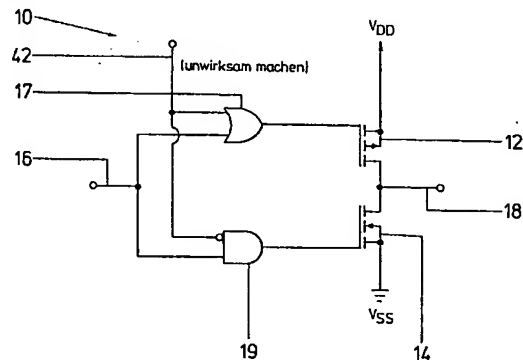
74 Vertreter:
Patentanwälte Westphal, Mussgnug & Partner,
78048 Villingen-Schwenningen

72 Erfinder:
Bacigalupo, Tommaso, San Jose, Calif., US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

54 Schaltungen und Verfahren zum Einstellen eines digitalen Potentials

57 Es wird eine Schaltung und ein Verfahren zum Einstellen eines digitalen Potentials an einem Ausgangspin einer integrierten Schaltung beschrieben bei der/dem eine pull-up/pull-down-Verschaltung einen definierten Wert an dem Ausgangspin hält, während sich die integrierte Schaltung in einem abgeschalteten Zustand befindet. Ein primärer Treiber, der auf einen Zustand der integrierten Schaltung anspricht, stellt den Ausgangspin ein, während sich die integrierte Schaltung in einer aktiven Betriebsart befindet. Ein sekundärer Treiber stellt den Ausgangspin ein, während sich die integrierte Schaltung in einer inaktiven Betriebsart befindet. Weiterhin ist eine Steuerlogik vorgesehen, die auf eine Änderung der Betriebsart der integrierten Schaltung von ihrem aktiven Modus in ihren inaktivieren Modus anspricht, um ein auf den Zustand der integrierten Schaltung bezogenes Steuersignal zu erzeugen. Eine sekundäre Treiberlogik spricht auf das durch die Steuerlogik erzeugte Steuersignal und den Zustand der integrierten Schaltung bei einer Änderung der Betriebsart der integrierten Schaltung von einem Einschalt-Modus zu einem Abschalt-Modus an, um den Ausgang zu treiben, während sich die integrierte Schaltung in ihrer inaktiven Betriebsart befindet.



DE 199 25 374 A 1

Die Erfindung betrifft eine Schaltung und ein Verfahren zum Einstellen eines digitalen Potentials an einem integrierten Schaltungsausgang und / oder einem bi-direktionalen Eingangs-/Ausgangsanschluß ("pin") und insbesondere eine pull-up/pull-down-Verschaltung, mit der an dem Ausgang und/oder dem bi-direktionalen Eingangs-/Ausgangsanschluß während einer Abschaltung ("power-down-Zustand") der integrierten Schaltung ein definierter Wert gehalten wird.

Gegenwärtig erhalten viele integrierte Schaltungen (ICs) die Fähigkeit, einen Abschalt-Modus einzunehmen, um während inaktiver Phasen Energie einzusparen. Während eines solchen inaktiven Abschalt-Modus sollten der Ausgang und/oder die bidirektionalen Eingangs-/Ausgangspins der integrierten Schaltungen ihre definierten Werte aufrechterhalten, da andernfalls andere Teile des Systems, die mit den integrierten Schaltungen verbunden sind, gestört werden können. Zum Beispiel besteht die Gefahr, daß die Inhalte von Direktzugriffsspeichern (RAM) verändert werden oder sogar verloren gehen, wenn die IC-Ausgangspins in dem mit dem RAM verbundenen System während inaktiver Perioden ihren Zustand verändern.

Andererseits kann es hilfreich sein, wenn die Werte, die an dem Ausgang und/oder den bi-direktionalen Eingangs-/Ausgangspins der inaktiven integrierten Schaltungen gehalten werden, durch andere, vielleicht aktive IC-Sektionen eines Computersystems überschrieben werden können. Auf diese Weise kann ein Zugriff zu einer Einrichtung, zum Beispiel einem RAM, unter Verwendung der Verbindungen zu der abgeschalteten integrierten Schaltung erhalten werden.

Bei bekannten Mikroprozessoren halten die Ausgangstreiber den letzten Wert, der vor dem Eintritt in den Abschalt-Modus gültig war, jedoch weiter aufrecht. Dieser Wert kann im allgemeinen nicht überschrieben werden, da normalerweise Ausgangstreiber mit hoher Stromkapazität zum Treiben des vorher gültigen Wertes verwendet werden. Demzufolge ist es erforderlich, den Ausgang vollständig auszuschalten, bevor der Abschalt-Modus eingenommen wird. Wenn gewünscht wird, daß das Signal während des Abschalt-Modus der inaktiven Einrichtung durch eine andere aktive Einrichtung verwendet werden soll, müssen zusätzliche Programmteile zum Ausschalten eines Ausgangstreibers vor der Abschaltung (power-down) vorgesehen sein, wobei möglicherweise zusätzliche Hardware erforderlich ist, um einen definierten Wert an einem Ausgangspin einer Schaltung, die ausgeschaltet worden ist, aufrechtzuerhalten. Weiterhin wäre es vorteilhaft, wenn das digitale Potential an dem Pin der integrierten Schaltung entweder auf einem Strom- oder einem letzten Wert vor einer Abschaltung gehalten werden würde.

Bei einer beschriebenen Ausführungsform der Erfindung stellt eine Schaltung ein digitales Potential an einem integrierten Schaltungsausgang und/oder einem bi-direktionalen Eingangs-/Ausgangspin ein, an dem eine pull-up/pull-down-Verschaltung einen definierten Wert hält. Getrennte primäre und sekundäre Treiberschaltungen stellen den Ausgang und/oder bi-direktionalen Eingangs-/Ausgangspin ein, wenn sich die integrierte Schaltung in bestimmten Betriebsarten befindet. Weiterhin ist eine Steuerlogik vorgesehen, die auf eine Änderung in der Betriebsart der integrierten Schaltung zwischen ihrer aktiven und ihrer inaktiven Betriebsart anspricht, um Steuersignale zu erzeugen, die den Zustand der integrierten Schaltung betreffen. Die Steuerlogik ist mit pull-up- und pull-down-Transistoren der sekundären Treiberlogik verbunden, um den Ausgang und/oder den bi-direktionalen Eingangs-/Ausgangspin nach oben und nach unten zu ziehen. Die sekundären Treiberschaltungs-Transistoren haben als Stromquellen eine geringere Leistungsfähigkeit, als die primäre Inverterschaltung zum Treiben des Ausgangs und/oder des bi-direktionalen Ausgangs-/Eingangspins, während sich die integrierte Schaltung in ihrem Abschalt-Modus befindet.

Kurz zusammengefaßt betrifft die Erfindung eine Schaltung und ein Verfahren zum Einstellen eines digitalen Potentials an einem Ausgang einer integrierten Schaltung und/oder einem bi-direktionalen Eingangs-/Ausgangspin, bei der eine pull-up/pull-down-Verschaltung einen definierten Wert an dem Ausgang und/oder dem bi-direktionalen Eingangs-/Ausgangspin hält, während sich die integrierte Schaltung in einem Abschalt-Modus befindet. Ein primärer Treiber, der auf einen Zustand der integrierten Schaltung anspricht, stellt den Ausgang und/oder den bi-direktionalen Eingang-/Ausgangspin ein, während sich die integrierte Schaltung in einer aktiven Betriebsart befindet, während ein sekundärer Treiber den Ausgang und/oder den bi-direktionalen Eingangs-/Ausgangspin einstellt, während sich die integrierte Schaltung einer inaktiven Betriebsart befindet. Die Steuerlogik ist so dimensioniert, daß sie auf eine Änderung der Betriebsart der integrierten Schaltung von ihrem aktiven zu ihrem inaktiven Betriebsmodus anspricht, um ein Steuersignal zu erzeugen, das auf den Zustand der integrierten Schaltung bezogen ist. Die sekundäre Treiberlogik spricht auf das Steuersignal an, das durch die Steuerlogik und den Zustand der integrierten Schaltung bei einer Änderung der Betriebsart der integrierten Schaltung von einem Einschalt-(power up)- zu einem Abschalt-(power down)-Modus erzeugt wird, um den Ausgang und/oder den bi-direktionalen Eingangs-/Ausgangspin zu treiben, während sich die integrierte Schaltung in ihrer inaktiven Betriebsart befindet.

Weiteren Aufgaben, Merkmale und Vorteile der Erfindung ergeben sich aus der folgenden detaillierten Beschreibung im Zusammenhang mit den Zeichnungen. Es zeigt:

Fig. 1 eine schematische Darstellung einer logischen Inverterschaltung; und

Fig. 2 eine pull-up- und pull-down-Logik zum Halten eines definierten Wertes während eines Abschalt-Modus zur Anwendung mit der primären Inverterlogik zum Treiben des Ausgangspins gemäß einer Ausführungsform der Erfindung.

In den Zeichnungen sind beispielhafte Ausführungsformen dargestellt, die die Schaltungslegung betreffen, die in den integrierten Schaltungen anwendbar ist. Eine Ausführungsform einer Schaltung zum Einstellen eines digitalen Potentials gemäß der Erfindung stellt eine Logik an einem integrierten Schaltungsausgang und/oder einem bi-direktionalen Eingangs-/Ausgangspin, zum Beispiel einem parallelen Anschluß eines Mikrocontrollers, zum Halten eines definierten Wertes an dem Pin während eines Abschalt-Modus dar. Wie in Fig. 1 zu erkennen ist, stellt ein CMOS-Inverter 10 eine konventionelle logische Inverterschaltung mit einem p-Kanal-Feldeffekttransistor 12 und einem n-Kanal-Feldeffekttransistor 14 dar. Wie weiter unten noch erläutert werden wird, wird ein Eingangssignal an einem Invertereingang 16 an einem Ausgang 18 logisch invertiert. Eine zusätzliche Eingangslogik 17 und 19, die mit den Transistoren 12 und 14 verbunden ist, ist ferner mit einem einer Abschaltung ("power-down") anzeigenden Signal 42, das weiter unten erläutert werden wird, verbunden, um den Inverter 10 während der Abschaltung unwirksam zu machen. Der Inverter 10 bewirkt somit eine Inversion eines digitalen Potentials und erzeugt einen gepufferten Signalausgang entsprechend dem Stromquellen-

Leistungsvermögen der Transistoren 12 und 14.

Der Treiber 10 ist in Fig. 2 als primärer Treiber ausgelegt. Fig. 2 zeigt eine Schaltung 20 zum Einstellen eines digitalen Potentials an einem Ausgangspin 22 einer integrierten Schaltung unter Verwendung von pull-up-/pull-down-Logikkreisen, die unten noch beschrieben werden sollen, zum Halten eines definierten Wertes während eines inaktiven oder Abschalt-Modus gemäß der Erfindung. In diesem Fall wird mit der Schaltung 20 ein digitales Potential an einem Ausgangspin 22 einer integrierten Schaltung eingestellt, bei der eine pull-up-/pull-down-Verschaltung einen definierten Wert hält. Der primäre Treiber-Inverter 10 spricht auf einen Zustand, zum Beispiel digitale Potentialwerte, die an dem Ausgangspin 22 erzeugt werden, der integrierten Schaltung an, um den Ausgangspin 22 auf einen Wert zu setzen, während sich die integrierte Schaltung in einer aktiven Betriebsart befindet.

Gemäß Fig. 1 können die Transistoren 12 und 14 des CMOS-Treibers 10 MOSFET-Einrichtungen vom Anreicherungstyp sein. Der Source-Anschluß des Transistors 12 ist mit dem positiven Anschluß der Leistungsversorgung (V_{DD}), und der Source-Anschluß des Transistors 14 ist mit dem negativen Anschluß (zum Beispiel elektrisches Massepotential) der Leistungsversorgung (V_{SS}) verbunden. Bei der beschriebenen Konfigurationen der Inverterschaltung sind die Drain- und Gate-Anschlüsse der Transistoren 12 und 14 mit dem Eingang 16 über die logischen Gatter 17 und 19 verbunden. Es wird eine einzige Leistungsversorgung verwendet, wobei die Schaltung zufriedenstellend mit Versorgungsspannungen im Bereich zwischen 3 und 18 Volt arbeitet.

Wenn der Treiber freigegeben wird und das einen Einschalt-Betriebszustand anzeigende Signal 42 niedrigen Pegel und der Treiber-Eingang 16 niedrigen Pegel (das heißt im wesentlichen 0 Volt) aufweist, ist der Transistor 14 gesperrt und der Transistor 12 durchgeschaltet. Ohne eine äußere Last ist der durch den Transistor 12 fließende Strom vernachlässigbar klein (im Bereich von Nanoampere), so daß auch der Leistungsverbrauch entsprechend gering ist. Der Spannungsabfall über dem Transistor 12 ist sehr klein (einige Millivolt), und der hohe Ausgangspegel (V_{OH}) ist im wesentlichen gleich V_{DD} . In diesem Zustand erzeugt der Transistor 12 (pull-up-Transistor) eine geringe Impedanz zwischen dem Ausgangsanschluß und der positiven Versorgungsspannung V_{DD} .

Wenn der Treiber freigegeben ist und der Treibereingang 16 hohen Pegel (das heißt V_{DD}) aufweist, ist der Transistor 14 durchgeschaltet und der Transistor 12 gesperrt. In diesen Zustand ist der Betrieb komplementär zu dem oben beschriebenen, und die niedrige Ausgangsspannung (V_{OL}) liegt im Bereich von wenigen Millivolt von V_{SS} . In diesem Zustand wird das Stromaufnahmevermögen des Inverters 10 durch die i-v Charakteristiken des Transistors 14 (pull-down-Transistor) bestimmt. Wenn der Treiber unwirksam gemacht wird, wird andererseits der Treiberausgang 18 nicht getrieben und schwimmt auf einem hohen Impedanzniveau, so daß eine dreistufige Eigenschaft geschaffen wird.

Da die Eingangswiderstände eines CMOS-Gates wie des beschriebenen Treibers 10 sehr hoch sind, schwimmt ein Gate-Eingang, der keine Verbindung aufweist, auf einer unbekannten Spannung. Im allgemeinen sind jedoch die Leckströme so groß, daß die Eingangskomponenten eine aktive Betriebsart einnehmen, so daß große Ströme fließen und eine Überhitzung verursachen können. Aus diesem Grund ist es wichtig, Ersatz-Gateeingänge mit einem geeigneten örtlichen Leistungsversorgungsanschluß zu verbinden oder parallel mit anderen Eingängen zu schalten (unter Berücksichtigung der dadurch verursachten Einflüsse auf den Gate-Schalt-Schwellwert). Wie bereits erläutert wurde, wird mit der unten beschriebenen Ausführungsform eine nützliche Ausgangslogik zum Einstellen des Wertes an dem Ausgangspin 22 geschaffen, während es möglich ist, gehaltene Werte zu überschreiben, um einen Zugriff zu der integrierten Schaltung während einem inaktiven Abschalt-Modus zu ermöglichen. Gemäß Fig. 2 setzt eine sekundäre Treiberschaltung 24 das Potential an dem Ausgangspin 22, während sich die integrierte Schaltung in einer inaktiven Betriebsart befindet. Die sekundäre Treiberschaltung 24 umfaßt einen pull-up-Transistor 26 und einen pull-down-Transistor 28. Die erste Treiberschaltung 10 und die zweite Treiberschaltung 24 sind als verdrahtetes ODER-Glied an dem Pin 22 verschaltet und weisen einen gemeinsamen Punkt für die getrennten Schaltungen auf, so daß die Kombination ihrer Ausgänge zu einer ODER-Funktion führt, das heißt der Punkt, an dem die Schaltungen miteinander verdrahtet sind, weist logischen H-Pegel ("wahr") auf, wenn eine der Zuführungen der Schaltungen auf dem korrespondierenden digitalen Potential liegt.

Die Steuerlogik 30 kann eine integrierte Decoderschaltung oder eine Auswahlerschaltung zum Steuern der Transistoren 26 und 28 sein. Es wird eine Ausführung der Steuerlogik 30 als Auswahlerschaltung geschaffen, bei der Ströme oder letzte Werte zum Steuern der Transistoren 26 und 28 an den Eingängen der Steuerlogik 30 gemäß folgender Erläuterung bestimmt werden. Alternative dazu kann die Steuerlogik 30 auch unter einer Programmsteuerung unter Verwendung eines Mikrokontrollers, von programmierbaren Logiken oder ähnlichem, Steuersignale erzeugen. Die Steuerlogik ist somit so ausgelegt, daß sie auf eine Änderung der Betriebsart der integrierten Schaltung von ihrem aktiven zu ihrem inaktiven Modus anspricht, um eine Mehrzahl von Steuersignalen 32 und 34 zu erzeugen, die auf den Zustand der integrierten Schaltung bezogen sind. Die Steuerlogik 30 ist über eine Steuerleitung 32 mit dem pull-up-Transistor 26 und über eine Steuerleitung 34 mit dem pull-down-Transistor 28 verbunden, um das Potential an dem Ausgangspin nach oben oder nach unten zu ziehen. Die sekundäre Treiberlogik 24 spricht somit auf ein oder mehrere Steuersignale 32 oder 34 an, die durch die Steuerlogik 30 erzeugt werden. In dem hier beschriebenen Fall ist die aktive Betriebsart ein Einschalt-Modus ("power-up") und die inaktive Betriebsart ein Abschalt-Modus ("power-down") der integrierten Schaltung, wobei die erste logische primäre Treiberschaltung 10 eine ausreichende Stromquelleneigenschaft hat, um den Ausgangspin 22 zu treiben, während sich die integrierte Schaltung in ihrer Einschalt-Betriebsart befindet. Die zweite Treiberschaltung 24 erzeugt pull-up/down-Funktionen, die während des normalen Betriebes verwendet werden können, und weist sekundäre Inverter-Schaltungstransistoren 26 und 28 mit einem geringeren Stromquellenvermögen auf, als die primäre Inverter-Schaltung 10 zum Treiben des Ausgangspins 22, während sich die integrierte Schaltung in ihrer Abschalt-Betriebsart befindet, wobei die Schaltung 10 in dem Abschalt-Modus unwirksam ist. Demgemäß ist die primäre Inverterschaltung 10 mit relativ starken Transistoren 12 und 14 für die aktive Einschalt-Betriebsart versehen, während die sekundäre Inverterschaltung 24 relativ schwache Transistoren 26 und 28 für die inaktive Abschalt-Betriebsart der integrierten Schaltung aufweist.

Die pull-up-/down-Steuerlogikschaltung 30 macht sich den Vorteil mehrerer Eingänge zunutze, die zur Erzeugung der Signale 32 und 34 verwendet werden. Insbesondere werden der gegenwärtige Wert 36 und der (invertierte) letzte Wert 38 als Eingänge für die Steuerung 30 bereitgestellt. Die Auswahllogik der Steuerlogik 30 benutzt den gegenwärtigen Wert

DE 199 25 374 A 1

36 oder den letzten Wert 38 zur Steuerung der Transistoren 26 und 28 der sekundären Inverterschaltung in Fig. 2. Somit werden repräsentative Werte an dem Ausgangspin 22, der durch die primäre Treiberschaltung 10 während der Einschalt-Betriebsart vor der Abschalt-Betriebsart beaufschlagt wird, wenn die integrierte Schaltung in die Abschalt-Betriebsart wechselt, zur Verwendung in der Steuerlogik 30 bereitgestellt, die diese Werte zur Erzeugung des Steuersignals, das auf den Zustand der integrierten Schaltung bezogen ist, erhält. Insbesondere kann der repräsentative gegenwärtige Wert 36 und der letzte Wert 38 selektiv in Abhängigkeit von der Betriebsart der Steuerung 30 verwendet werden. Hierbei sorgt eine pull-up/down (normaler Betrieb) Modus-Indikation dafür, daß das Steuersignal 30 in Bezug auf den Zustand der integrierten Schaltung arbeitet. Ferner dient die Modus-Indikation 40 zum Freigeben und Sperren (unwirksam machen) der Steuerung des pull-up-Transistors 26 und des pull-down-Transistors 28 zum Treiben des Ausgangspins 22. Wie in der folgenden Tabelle angegeben ist, kann der Modus der integrierten Schaltung mit der Auswahlschaltung gewählt werden, um einen Modus in einer normalen Betriebsart, bei der der Benutzer die Wahl zwischen einer pull-up- oder pull-down-Funktion hat, zu realisieren, oder es kann der Abschalt-Modus realisiert sein, um das Potential entweder auf den gegenwärtigen Wert 36 oder alternativ dazu auf den letzten Wert 38 zu ziehen.

Betriebsart des IC	Pull-up- / down-Betriebsart	Beschreibung
Normaler Betrieb	pull-up oder -down oder ausgeschaltet in Abhängigkeit von den Steuersignalen "pull up/down" (Freigeben oder Sperren in der Steuerlogik 30)	Der Anwender hat die Wahl zwischen der pull-up- und der pull-down-Funktion oder er kann diese sperren.
Abschalt-Modus	Ziehen auf gegenwärtigen oder letzten Wert. Ausgewählt durch die Steuerlogik 30	Der gegenwärtige Wert an dem Pin wird durch die pull-up/down-Logik erzeugt. Der letzte Wert vor dem Eintritt in den Abschalt-Modus wird durch die pull-up/down-Logik erzeugt.

Die Abschalt-Indikation 42 erzeugt für die Steuerung 30 ein Signal, das für den Systemzustand der integrierten Schaltung repräsentativ ist. Ein Eingangssignal 46 an der Steuerung 30 erzeugt die Funktion der Auswahl während des letzten Wertes oder ein Halten des gegenwärtigen Wertes während der Abschaltphase ("power-down"). Demgemäß erhält die Steuerung 30 die Signalindikation, die für einen Abschalt-Status für das System während des Einschalt-Modus vor dem Abschalt-Modus repräsentativ ist, wobei diese Indikation durch die Steuerlogik 30 ausgewertet wird, die die Abschalt-Indikation 42 zum Erzeugen des Steuersignals in Bezug auf den Zustand der integrierten Schaltung erhält. In schematischer Form ist auch ein Eingangstreiber 44 gezeigt, der optional mit bi-direktionalen integrierten Eingangs-/Ausgangspads verwendet werden kann und zum Empfang von an der integrierten Schaltung eingehenden digitalen Signalen ebenfalls mit dem Pin 22 verbunden ist.

Die Steuerlogik 30 ist als Auswahl-Steuerlogik ausgelegt, die wie folgt mit einer logischen Tabelle beschrieben wer-

den kann:

Signalpegel	Zustand	
32 niedrig (L)	(normaler Betrieb UND pull-up-Funktion = wahr) ODER (Abschaltung UND Treiben des letzten Wertes = wahr UND invertierter letzter Wert = niedrig) ODER (Abschaltung UND Halten des gegenwärtigen Wertes = wahr UND gegenwärtiger Wert = hoch (H))	5
32 hoch (H)	andernfalls	
34 hoch (H)	(normaler Betrieb UND pull-down-Funktion = wahr) ODER (Abschaltung UND Treiben des letzten Wertes = wahr UND invertierter letzter Wert = hoch) ODER (Abschaltung UND Halten des gegenwärtigen Wertes = wahr UND gegenwärtiger Wert = niedrig)	10
34 niedrig (L)	andernfalls	

Wie bereits erläutert wurde, steuert die pull-up-/down-Steuerung 30 den Betrieb der schwachen pull-up/down-Transistoren 26 und 28, so daß durch die Steuerung 30 ein Betrieb in Übereinstimmung mit der oben beschriebenen pull-up/down-Betriebsart oder eine Kombination solcher Betriebsarten zur Anwendung in dem inaktiven Abschalt-Zustand der integrierten Schaltung geschaffen wird. Die pull-up/pull-down-Logik zum Halten des definierten Wertes während des Abschalt-Modus kann für Mikroprozessoren oder andere integrierte Schaltungen wie die Siemens C167 Mikroprozessor-Ausgangstreiber verwendet werden, die den zuletzt getriebenen Wert aktiv halten. Die beschriebenen pull-up/down-Transistoren 26 und 28 können in Form von jeglichen pull-up/down-Elementen wie zum Beispiel einer Kombination von schaltbaren Elementen mit einem Widerstand in Abhängigkeit von der verwendeten Technologie wie zum Beispiel BIC-MOS, CMOS, NMOS und ähnliche realisiert sein.

Mit der beschriebenen Logik wird somit ein schwacher Treiber für eine BUS HALTE-Funktion geschaffen, die auf äußere Ereignisse, die auf die integrierte Schaltungseinrichtung einwirken, anspricht, wie zum Beispiel ein Einstellen des logischen Pegels an dem Ausgangspin 22 mit einer zweiten aktiven Treiberlogik, die zum Erzeugen von Steuersignalen mit dem Bus verbunden ist, so daß der logische Pegel an dem Ausgangspin 22 durch solche externen Einrichtungen in einem Abschalt-Modus der integrierten Schaltung überschrieben werden kann. Es wird folglich ein Verfahren zum Einstellen eines digitalen Potentials an einem Ausgangspin 22 einer integrierten Schaltungseinrichtung mit folgenden Schritten beschrieben: Treiben des Ausgangspins 22 mit einer ersten Treiberlogik, die auf einen Zustand der integrierten Schaltung anspricht, wenn sich die integrierte Schaltung in ihrer aktiven Betriebsart befindet, Treiben des bi-direktionalen Eingangs-/Ausgangspins mit einer zweiten Treiberlogik, wenn sich die integrierte Schaltung in einer inaktiven Betriebsart befindet, Erzeugen eines Steuersignals, das auf den Zustand der integrierten Schaltung bezogen ist, als Antwort auf eine Änderung der Betriebsart der integrierten Schaltung von dem aktiven Modus zu dem inaktiven Modus, sowie anschließendes Einstellen des logischen Pegels des Ausgangspins mit der zweiten Treiberlogik als Antwort auf das erzeugte Steuersignal und den Zustand der integrierten Schaltung, während sich die integrierte Schaltung in ihrer inaktiven Betriebsart befindet.

Der Schritt des Erzeugens des Steuersignals in dem beschriebenen Verfahren kann ferner zum Erzeugen von Steuersignalen als Antwort auf ein externes, auf die integrierte Schaltungseinrichtung einwirkendes Ereignis verwendet werden, so daß der logische Pegel des Ausgangspins in einem Abschalt-Zustand der integrierten Schaltungseinrichtung durch externe Einrichtungen überschrieben werden kann.

Patentansprüche

1. Schaltung zum Einstellen eines digitalen Potentials an einem Ausgangspin einer integrierten Schaltung mit: einer ersten Treiberlogik, die auf einen Zustand der integrierten Schaltung anspricht, zum Treiben des Ausgangspins, während sich die integrierte Schaltung in einer aktiven Betriebsart befindet; einer zweiten Treiberlogik, zum Treiben des Ausgangspins, während sich die integrierte Schaltung in einer inaktiven Betriebsart befindet; und einer Steuerlogik, die auf eine Änderung der Betriebsart der integrierten Schaltung von dem aktiven zu dem inaktiven Betrieb (Modus) anspricht, zum Erzeugen eines auf den Zustand der integrierten Schaltung bezogenen Steuersignals; wobei die zweite Treiberlogik auf das Steuersignal anspricht, das durch die Steuerlogik und den Zustand der integrierten Schaltung bei einer Änderung der Betriebsart der integrierten Schaltung von dem aktiven Betrieb zu dem inaktiven Betrieb erzeugt wird, zum Treiben des Ausgangs, während sich die integrierte Schaltung in der inaktiven Betriebsart befindet.
2. Schaltung nach Anspruch 1, bei der der Ausgangspin einen bi-direktionalen Eingangs-/Ausgangspin der integrierten Schaltung umfaßt.
3. Schaltung nach Anspruch 1, bei der die erste Treiberschaltung und die zweite Treiberschaltung als verdrahteter ODER-Ausgang zusammengeschaltet sind, dessen Ausgangspin an dem Ausgangspin der integrierten Schaltung anliegt.
4. Schaltung nach Anspruch 1, bei der der aktive Betrieb eine Einschalt-Betriebsart und der inaktive Betrieb eine Abschalt-Betriebsart der integrierten Schaltung ist, wobei die erste Treiberlogik einen primären Treiber mit drei möglichen Zuständen aufweist, der in ausreichender Weise als Stromquelle wirken kann, um den Ausgang zu treiben, während sich die integrierte Schaltung in ihrer Einschalt-Betriebsart befindet.
5. Schaltung nach Anspruch 4, bei der die zweite Treiberlogik eine sekundäre Treiberschaltung mit einer geringeren Stromquellen-Fähigkeit aufweist, als die primäre Inverterschaltung zum Treiben des Ausgangspins, während sich die integrierte Schaltung in der Abschalt-Betriebsart befindet.
6. Schaltung nach Anspruch 5, bei der die primäre Schaltung relativ starke Transistoren für die Einschalt-Betriebs-

art und die sekundäre Schaltung relativ schwache Transistoren für die Abschalt-Betriebsart der integrierten Schaltung aufweist.

7. Schaltung nach Anspruch 5, bei der die sekundäre Schaltung einen pull-up-Transistor und einen pull-down-Transistor aufweist, wobei die Steuerlogik mit dem pull-up-Transistor und dem pull-down-Transistor verbunden ist, zum Treiben des Ausgangspins, während sich die integrierte Schaltung in einer Abschalt-Betriebsart befindet.

8. Schaltung nach Anspruch 5, bei der der Zustand der integrierten Schaltung repräsentativ ist für einen Wert an dem Ausgangspin, der durch den primären Inverter während der Einschalt-Betriebsart vor der Abschalt-Betriebsart getrieben wird, wenn die integrierte Schaltung in die Abschalt-Betriebsart gelangt, wobei der Wert an dem Ausgangspin der Steuerlogik zugeführt wird, um das auf den Zustand der integrierten Schaltung bezogene Steuersignal zu erzeugen.

9. Schaltung nach Anspruch 5, bei der der Zustand der integrierten Schaltung repräsentativ ist für einen gegenwärtigen Wert und einen letzten Wert an dem Ausgangspin, der durch den primären Inverter während des Einschalt-Betriebes vor dem Abschalt-Betrieb getrieben wird, wenn die integrierte Schaltung in die Abschalt-Betriebsart gelangt, wobei der gegenwärtige Wert und der letzte Wert der Steuerlogik zugeführt wird, um das auf den Zustand der integrierten Schaltung bezogene Steuersignal zu erzeugen.

10. Schaltung nach Anspruch 5, bei der der Zustand der integrierten Schaltung repräsentativ ist für eine Abschalt-Indikation der integrierten Schaltung während des Einschalt-Betriebes vor dem Abschalt-Betrieb, wobei der Steuerlogik die Abschalt-Indikation zugeführt wird, um das auf den Zustand der integrierten Schaltung bezogene Steuersignal zu erzeugen.

11. Schaltung nach Anspruch 10, bei der der sekundäre Inverter einen pull-up-Transistor und einen pull-down-Transistor aufweist, wobei die Steuerlogik mit dem pull-up-Transistor und dem pull-down-Transistor zum Treiben des Ausgangspins verbunden ist, während sich die integrierte Schaltung in der Abschalt-Betriebsart befindet.

12. Schaltung nach Anspruch 11, bei der die Steuerlogik eine Mehrzahl von Steuersignalen zum Steuern jedes pull-up-Transistors und pull-down-Transistors erzeugt, zum Treiben des Ausgangspins, während sich die integrierte Schaltung in der Abschalt-Betriebsart befindet.

13. Schaltung nach Anspruch 12, bei der der Zustand der integrierten Schaltung eine pull-up/down-Modus-Indikation umfaßt, wobei die Steuerlogik Steuersignale erzeugt, die auf den Zustand der integrierten Schaltung und die Modus-Indikation bezogen sind, um die Steuerung des pull-up-Transistors und des pull-down-Transistors zum Treiben des Ausgangspins freizugeben und unwirksam zu machen.

14. Schaltung nach Anspruch 13, bei der der Zustand der integrierten Schaltung repräsentativ ist für einen gegenwärtigen Wert und einen letzten Wert an dem Ausgangspin, der durch den primären Inverter während des Einschalt-Modus vor dem Abschalt-Modus getrieben wird, wenn die integrierte Schaltung in die Abschalt-Betriebsart gelangt, wobei der Steuerlogik der gegenwärtige und der letzte Wert zugeführt wird, um das auf den Zustand der integrierten Schaltung bezogene Steuersignal zu erzeugen.

15. Schaltung nach Anspruch 14, bei der die Steuerlogik auf den pull-up/down-Modus anspricht, um Steuersignale zum Steuern des pull-up-Transistors und des pull-down-Transistors zum Treiben des Ausgangspins auf entweder den gegenwärtigen oder den letzten, auf den Zustand der integrierten Schaltung bezogenen Wert zu erzeugen.

16. Schaltung zum Halten eines definierten Wertes an einem Ausgang während einer Abschaltung der integrierten Schaltung mit:

Mitteln zum Treiben des Ausgangspins mit einer ersten Treiberlogik, die auf einen Zustand der integrierten Schaltung anspricht, wenn sich die integrierte Schaltung in einer aktiven Betriebsart befindet;

Mitteln zum Treiben des Ausgangspins mit einer zweiten Treiberlogik, wenn sich die integrierte Schaltung in einer inaktiven Betriebsart befindet;

Mitteln zum Erzeugen eines Steuersignals, das auf den Zustand der integrierten Schaltung bezogen ist, als Antwort auf eine Änderung der Betriebsart der integrierten Schaltung von dem aktiven Modus in den inaktiven Modus; und Mitteln zum Einstellen des logischen Pegels am Ausgangspin mit der zweiten Treiberlogik, die auf das das Steuersignal erzeugende Mittel und den Zustand der integrierten Schaltung ansprechen, während sich die integrierte Schaltung in der inaktiven Betriebsart befindet.

17. Schaltung nach Anspruch 16, bei der der aktive Modus eine Einschalt-Betriebsart und der inaktive Modus eine Abschalt-Betriebsart der integrierten Schaltung ist, wobei die erste Treiberlogik eine primäre Schaltung mit einer Stromquellen-Eigenschaft ist, die ausreicht, um den Ausgangspin zu treiben, während sich die integrierte Schaltung in der Einschalt-Betriebsart befindet.

18. Schaltung nach Anspruch 17, bei der die zweite Treiberlogik eine sekundäre Schaltung mit einem geringeren Stromquellen-Leistungsvermögen als die primäre Inverterschaltung aufweist, zum Treiben des Ausgangspins, während sich die integrierte Schaltung in der Abschalt-Betriebsart befindet.

19. Schaltung nach Anspruch 18, bei der die primäre Schaltung relativ starke Transistoren für die Einschalt-Betriebsart und die sekundäre Schaltung relativ schwache Transistoren für die Abschalt-Betriebsart der integrierten Schaltung aufweist.

20. Verfahren zum Einstellen eines digitalen Potentials an einem Ausgang einer integrierten Schaltungseinrichtung mit folgenden Schritten:

Treiben des Ausgangspins mit einer ersten Treiberlogik, die auf einen Zustand der integrierten Schaltung anspricht, wenn sich die integrierte Schaltung in einer aktiven Betriebsart befindet;

Treiben des Ausgangspins mit einer zweiten Treiberlogik, wenn sich die integrierte Schaltung in einer inaktiven Betriebsart befindet;

Erzeugen eines auf den Zustand der integrierten Schaltung bezogenen Steuersignals als Antwort auf eine Änderung der Betriebsart der integrierten Schaltung von dem aktiven Modus in den inaktiven Modus; und

Einstellen des logischen Pegels an dem Ausgangspin mit der zweiten Treiberlogik als Antwort auf das erzeugte Steuersignal und den Zustand der integrierten Schaltung, während sich die integrierte Schaltung in der inaktiven

DE 199 25 374 A 1

Betriebsart befindet.

21. Verfahren nach Anspruch 20, bei dem mit dem Schritt des Erzeugens das Steuersignal als Antwort auf ein externes, auf die integrierte Schaltungseinrichtung einwirkendes Ereignis erzeugt wird, und bei dem mit dem Schritt des Einstellens des logischen Pegels am Ausgangspin mit der zweiten Treiberlogik als Antwort auf das erzeugte Steuersignal der logische Pegel an dem Ausgangspin durch externe Einrichtungen überschrieben werden kann, 5 wenn sich die integrierte Schaltungseinrichtung in einem abgeschalteten Zustand befindet.

Hierzu 2 Seite(n) Zeichnungen

10

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

FIG 2

